

23. 4. 2004

日本国特許庁

JAPAN PATENT OFFICE

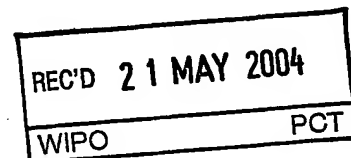
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 5日
Date of Application:

出願番号 特願2003-058879
Application Number:
[ST. 10/C]: [JP 2003-058879]

出願人 TDK株式会社
Applicant(s):

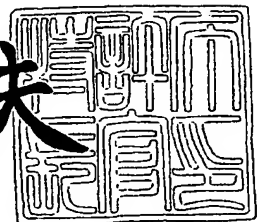


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3014833

【書類名】 特許願

【整理番号】 TD04637

【あて先】 特許庁長官殿

【国際特許分類】 H04B 03/54

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

 【氏名】 和崎 賢

【発明者】

 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

 【氏名】 斎藤 義広

【特許出願人】

 【識別番号】 000003067

 【氏名又は名称】 ティーディーケイ株式会社

【代理人】

 【識別番号】 100107559

 【弁理士】

 【氏名又は名称】 星宮 勝美

【手数料の表示】

 【予納台帳番号】 064839

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ抑制回路

【特許請求の範囲】

【請求項 1】 第 1 および第 2 の導電線を同じ位相で伝搬するコモンモードノイズを抑制するコモンモードノイズ抑制手段と、第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えたノイズ抑制回路であって、

前記コモンモードノイズ抑制手段は、互いに異なる位置において前記第 1 および第 2 の導電線に接続され、且つ前記第 1 および第 2 の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第 1 および第 2 の検出・注入部と、前記第 1 および第 2 の導電線において前記第 1 の検出・注入部と第 2 の検出・注入部との間に設けられ、前記コモンモードノイズの波高値を低減する波高値低減部とを備え、

前記第 1 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 2 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

前記第 2 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 1 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

前記第 1 の検出・注入部、第 2 の検出・注入部および波高値低減部のうちの少なくとも 1 つは、第 1 の導電線と第 2 の導電線に挿入され、漏れインダクタンスが発生するように結合された 2 つの巻線を有し、

前記ノーマルモードノイズ抑制手段は、一端が前記第 1 の導電線に接続され、他端が前記第 2 の導電線に接続され、前記 2 つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する 1 以上のノーマルモード用キャパシタを有することを特徴とするノイズ抑制回路。

【請求項 2】 前記第 1 の検出・注入部は、所定の第 1 の位置において第 1 の導電線に挿入された第 1 の巻線と、前記第 1 の位置に対応する位置において第

2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、前記第1の巻線および第2の巻線に結合された第3の巻線とを有し、

前記第2の検出・注入部は、一端が前記第1の位置とは異なる第2の位置において前記第1の導電線に接続され、他端が前記第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が前記第2の位置に対応する位置において前記第2の導電線に接続され、他端が前記第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有し、

前記波高値低減部は、前記第1の位置と第2の位置との間の第3の位置において前記第1の導電線に挿入された第4の巻線と、前記第3の位置に対応する位置において前記第2の導電線に挿入されると共に、前記第4の巻線に結合され、第4の巻線と協働して、前記第1の位置と第2の位置の間において前記コモンモードノイズの波高値を低減する第5の巻線とを有し、

前記第1の巻線と第2の巻線の組、または前記第4の巻線と第5の巻線の組の少なくとも一方が、漏れインダクタンスが発生するように結合されていることを特徴とする請求項1記載のノイズ抑制回路。

【請求項3】 前記コモンモードノイズ抑制手段は、更に、一端が前記第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有することを特徴とする請求項2記載のノイズ抑制回路。

【請求項4】 前記ノーマルモードノイズ抑制手段は、前記ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された前記2つの巻線を挟む位置に配置された2つのキャパシタを有することを特徴とする請求項1ないし3のいずれかに記載のノイズ抑制回路。

【請求項5】 更に、漏れインダクタンスが発生するように結合された前記2つの巻線が巻回される磁芯を備え、前記磁芯は、前記2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、前記2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有することを特徴とする請求項1ないし4のいずれかに記載のノイズ抑制回路。

【請求項 6】 前記第 2 の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成することを特徴とする請求項 5 記載のノイズ抑制回路。

【請求項 7】 第 1 および第 2 の導電線を同じ位相で伝搬するコモンモードノイズを抑制するコモンモードノイズ抑制手段と、第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えたノイズ抑制回路であって、

前記コモンモードノイズ抑制手段は、互いに異なる位置において前記第 1 および第 2 の導電線に接続され、且つ前記第 1 および第 2 の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第 1 および第 2 の検出・注入部とを備え、

前記第 1 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 2 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

前記第 2 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 1 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

前記第 1 の検出・注入部と第 2 の検出・注入部の少なくとも一方は、第 1 の導電線と第 2 の導電線に挿入され、漏れインダクタンスが発生するように結合された 2 つの巻線を有し、

前記ノーマルモードノイズ抑制手段は、一端が前記第 1 の導電線に接続され、他端が前記第 2 の導電線に接続され、前記 2 つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する 1 以上のノーマルモード用キャパシタを有することを特徴とするノイズ抑制回路。

【請求項 8】 前記第 1 の検出・注入部は、所定の第 1 の位置において第 1 の導電線に挿入された第 1 の巻線と、前記第 1 の位置に対応する位置において第 2 の導電線に挿入されると共に、第 1 の巻線と協働してコモンモードノイズを抑制する第 2 の巻線と、前記第 1 の巻線および第 2 の巻線に結合された第 3 の巻線

とを有し、

前記第2の検出・注入部は、一端が前記第1の位置とは異なる第2の位置において前記第1の導電線に接続され、他端が前記第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が前記第2の位置に対応する位置において前記第2の導電線に接続され、他端が前記第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有し、

前記第1の巻線と第2の巻線は、漏れインダクタンスが発生するように結合されていることを特徴とする請求項7記載のノイズ抑制回路。

【請求項9】 前記コモンモードノイズ抑制手段は、更に、一端が前記第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有することを特徴とする請求項8記載のノイズ抑制回路。

【請求項10】 前記ノーマルモードノイズ抑制手段は、前記ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された前記2つの巻線を挟む位置に配置された2つのキャパシタを有することを特徴とする請求項7ないし9のいずれかに記載のノイズ抑制回路。

【請求項11】 更に、漏れインダクタンスが発生するように結合された前記2つの巻線が巻回される磁芯を備え、前記磁芯は、前記2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、前記2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有することを特徴とする請求項7ないし10のいずれかに記載のノイズ抑制回路。

【請求項12】 前記第2の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成することを特徴とする請求項11記載のノイズ抑制回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、導電線上を伝搬するノイズを抑制するノイズ抑制回路に関する。

【0002】

【従来の技術】

スイッチング電源、インバータ、照明機器の点灯回路等のパワーエレクトロニクス機器は、電力の変換を行う電力変換回路を有している。電力変換回路は、直流を矩形波の交流に変換するスイッチング回路を有している。そのため、電力変換回路は、スイッチング回路のスイッチング周波数と等しい周波数のリップル電圧や、スイッチング回路のスイッチング動作に伴うノイズを発生させる。このリップル電圧やノイズは他の機器に悪影響を与える。そのため、電力変換回路と他の機器あるいは線路との間には、リップル電圧やノイズを低減する手段を設ける必要がある。

【0003】

リップル電圧やノイズを低減する手段としては、インダクタンス素子（インダクタ）とキャパシタとを含むフィルタ、いわゆる LC フィルタがよく用いられている。LC フィルタには、インダクタンス素子とキャパシタとを1つずつ有するものの他に、T 型フィルタや π 型フィルタ等がある。また、電磁妨害（EMI）対策用の一般的なノイズフィルタも、LC フィルタの一種である。一般的な EMI フィルタは、コモンモードチョークコイル、ノーマルモードチョークコイル、X キャパシタ、Y キャパシタ等のディスクリート素子を組み合わせて構成されている。

【0004】

また、最近、家庭内における通信ネットワークを構築する際に用いられる通信技術として電力線通信が有望視され、その開発が進められている。電力線通信は、電力線に高周波信号を重畳して通信を行う。この電力線通信では、電力線に接続された種々の電気・電子機器の動作によって、電力線上にノイズが発生し、このことが、エラーレートの増加等の通信品質の低下を招く。そのため、電力線上のノイズを低減する手段が必要になる。また、電力線通信では、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する必要がある。このような電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段としても、LC フィルタが用いられている。

【0005】

2本の導電線を伝搬するノイズには、2本の導電線の間で電位差を生じさせるノーマルモードノイズと、2本の導電線を同じ位相で伝搬するコモンモードノイズとがある。

【0006】

また、実際の導電線では、ノーマルモードノイズとコモンモードノイズとの比率は様々ではあるが、ノーマルモードノイズとコモンモードノイズとが混在している場合が多い。従って、ノーマルモードノイズとコモンモードノイズの両方を低減できるノイズ抑制回路が求められる。

【0007】

特許文献1には、ノーマルモードノイズとコモンモードノイズとを低減するチョークコイルが記載されている。このチョークコイルは、一対の巻線と、この一対の巻線が巻回される第1磁性体コアおよび第2磁性体コアを備えている。第1磁性体コアは低透磁率材料によって形成され、第2磁性体コアは高透磁率材料によって形成されている。また、第1磁性体コアと第2磁性体コアとの間には所定の間隙が形成されている。このチョークコイルでは、一対の巻線にコモンモードノイズの電流が流れた場合には、一対の巻線によって生じた磁束は第2磁性体コア内で減衰し、これにより、コモンモードノイズが低減される。また、このチョークコイルでは、一対の巻線にノーマルモードの電流が流れた場合には、一対の巻線によって生じた磁束は第1磁性体コア内で減衰し、これにより、ノーマルモードノイズが低減される。

【0008】

また、特許文献2には、ノーマルモードノイズとコモンモードノイズとを低減するノイズフィルタが記載されている。このノイズフィルタは、コイル、XキャパシタおよびYキャパシタを備え、これらが一体構造になっているものである。

【0009】

また、特許文献3には、ノーマルモードノイズ用のフィルタ回路とコモンモードノイズ用のフィルタ回路とを備えた電源回路が記載されている。ノーマルモードノイズ用のフィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、この2つのコイルを接続するXキャパシタとを有している。コモンモード

ノイズ用のフィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、この2つのコイルに接続されたYキャパシタとを有している。

【0010】

特許文献4には、変圧器を用いたラインフィルタが記載されている。このラインフィルタは、変圧器とフィルタ回路とを備えている。変圧器の2次巻線は、交流電源から負荷に供給する電力を輸送する2本の導電線のうちの一方に挿入されている。フィルタ回路の2つの入力端は交流電源の両端に接続され、フィルタ回路の2つの出力端は変圧器の1次巻線の両端に接続されている。このラインフィルタでは、フィルタ回路によって電源電圧からノイズ成分を抽出し、このノイズ成分を変圧器の1次巻線に供給することによって、変圧器の2次巻線が挿入された導電線上において電源電圧からノイズ成分を差し引くようになっている。

【0011】

【特許文献1】

特開平8-213242号公報

【特許文献2】

特開平9-46020号公報

【特許文献3】

特開平2-206360号公報

【特許文献4】

特開平9-102723号公報

【0012】

【発明が解決しようとする課題】

従来のLCフィルタでは、インダクタンスおよびキャパシタンスで決まる固有の共振周波数を有するため、所望の減衰量を狭い周波数範囲でしか得ることができないという問題点があった。

【0013】

また、電力輸送用の導電線に挿入されるフィルタには、電力輸送用の電流が流れている状態で所望の特性が得られることと、温度上昇に対する対策が要求される。そのため、通常、電力変換回路用のフィルタにおけるインダクタンス素子で

は、磁芯として、ギャップ付きのフェライト磁芯が用いられる。しかしながら、このようなインダクタンス素子では、その特性が、空芯のインダクタンス素子の特性に近づくため、所望の特性を実現するためにはインダクタンス素子が大型化するという問題点があった。

【0014】

また、一般的なEMIフィルタは、ノーマルモードノイズ低減用のフィルタとコモンモードノイズ低減用のフィルタとを含んでいる。そのため、このEMIフィルタでは、前述のLCフィルタと同様の問題点があると共に、部品点数が多く、大型化するという問題点がある。

【0015】

一方、特許文献1に記載されたチョークコイルでは、コアと巻線のみによってノーマルモードノイズとコモンモードノイズとを低減するようになっている。そのため、このチョークコイルでは、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを効果的に抑制することは難しい。

【0016】

また、特許文献2に記載されたノイズフィルタでは、Xキャパシタのみによってノーマルモードノイズを低減し、Yキャパシタとコイルのみによってコモンモードノイズを低減するようになっている。そのため、このノイズフィルタでは、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを効果的に抑制することは難しい。

【0017】

また、特許文献3に記載されたフィルタ回路は、ノーマルモードノイズ用のフィルタ回路とコモンモードノイズ用のフィルタ回路とを備えている。そのため、このフィルタ回路では、前述の一般的なEMIフィルタと同様に、部品点数が多く、大型化するという問題点がある。

【0018】

また、特許文献4に記載されたラインフィルタでは、ノーマルモードノイズを低減することはできるが、コモンモードノイズを低減することはできない。

【0019】

本発明はかかる問題点に鑑みてなされたもので、その目的は、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを抑制でき、且つ小型化が可能なノイズ抑制回路を提供することにある。

【0020】

【課題を解決するための手段】

本発明の第1または第2のノイズ抑制回路は、第1および第2の導電線を同じ位相で伝搬するコモンモードノイズを抑制するコモンモード抑制手段と、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えている。

【0021】

本発明の第1のノイズ抑制回路において、コモンモードノイズ抑制手段は、互いに異なる位置において第1および第2の導電線に接続され、且つ第1および第2の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第1および第2の検出・注入部と、第1および第2の導電線において第1の検出・注入部と第2の検出・注入部との間に設けられ、コモンモードノイズの波高値を低減する波高値低減部とを備えている。

【0022】

本発明の第1のノイズ抑制回路において、第1の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第2の検出・注入部が第1および第2の導電線に注入する。また、第2の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第1の検出・注入部が第1および第2の導電線に注入する。

【0023】

本発明の第1のノイズ抑制回路において、第1の検出・注入部、第2の検出・注入部および波高値低減部のうちの少なくとも1つは、第1の導電線と第2の導電線に挿入され、漏れインダクタンスが発生するように結合された2つの巻線を

有している。ノーマルモードノイズ抑制手段は、一端が第1の導電線に接続され、他端が第2の導電線に接続され、2つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する1以上のノーマルモード用キャパシタを有している。

【0024】

本発明の第1のノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1の巻線と、第1の位置に対応する位置において第2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、第1の巻線および第2の巻線に結合された第3の巻線とを有していてもよい。第2の検出・注入部は、一端が第1の位置とは異なる第2の位置において第1の導電線に接続され、他端が第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が第2の位置に対応する位置において第2の導電線に接続され、他端が第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有していてもよい。波高値低減部は、第1の位置と第2の位置との間の第3の位置において第1の導電線に挿入された第4の巻線と、第3の位置に対応する位置において第2の導電線に挿入されると共に、第4の巻線に結合され、第4の巻線と協働して、第1の位置と第2の位置の間においてコモンモードノイズの波高値を低減する第5の巻線とを有していてもよい。そして、第1の巻線と第2の巻線の組、または第4の巻線と第5の巻線の組の少なくとも一方が、漏れインダクタンスが発生するように結合されていてもよい。

【0025】

また、本発明の第1のノイズ抑制回路において、コモンモードノイズ抑制手段は、更に、一端が第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有していてもよい。

【0026】

また、本発明の第1のノイズ抑制回路において、ノーマルモードノイズ抑制手段は、ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された2つの巻線を挟む位置に配置された2つのキャパシタを有していて

もよい。

【0027】

また、本発明の第1のノイズ抑制回路は、更に、漏れインダクタンスが発生するように結合された2つの巻線が巻回される磁芯を備え、この磁芯は、2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有していてもよい。第2の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成してもよい。

【0028】

本発明の第2のノイズ抑制回路において、コモンモードノイズ抑制手段は、互いに異なる位置において第1および第2の導電線に接続され、且つ第1および第2の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第1および第2の検出・注入部とを備えている。

【0029】

本発明の第2のノイズ抑制回路において、第1の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第2の検出・注入部が第1および第2の導電線に注入する。また、第2の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第1の検出・注入部が第1および第2の導電線に注入する。

【0030】

本発明の第2のノイズ抑制回路において、第1の検出・注入部と第2の検出・注入部の少なくとも一方は、第1の導電線と第2の導電線に挿入され、漏れインダクタンスが発生するように結合された2つの巻線を有している。ノーマルモードノイズ抑制手段は、一端が第1の導電線に接続され、他端が第2の導電線に接続され、2つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する1以上のノーマルモード用キャパシタを有している。

【0031】

本発明の第2のノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1の巻線と、第1の位置に対応する位置において第2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、第1の巻線および第2の巻線に結合された第3の巻線とを有していてもよい。第2の検出・注入部は、一端が第1の位置とは異なる第2の位置において第1の導電線に接続され、他端が第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が第2の位置に対応する位置において第2の導電線に接続され、他端が第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有していてもよい。そして、第1の巻線と第2の巻線が、漏れインダクタンスが発生するように結合されていてもよい。

【0032】

また、本発明の第2のノイズ抑制回路において、コモンモードノイズ抑制手段は、更に、一端が第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有していてもよい。

【0033】

また、本発明の第2のノイズ抑制回路において、ノーマルモードノイズ抑制手段は、ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された2つの巻線を挟む位置に配置された2つのキャパシタを有していてもよい。

【0034】

また、本発明の第2のノイズ抑制回路は、更に、漏れインダクタンスが発生するように結合された2つの巻線が巻回される磁芯を備え、磁芯は、2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有していてもよい。第2の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成してもよい。

【0035】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

[第1の実施の形態]

始めに、本発明の第1の実施の形態で使用するノイズ抑制技術について説明する。本実施の形態では、相殺型ノイズ抑制回路を使用する。図2を参照して、この相殺型ノイズ抑制回路の基本構成と作用について説明する。

【0036】

図2に示したように、相殺型ノイズ抑制回路は、所定の位置Aにおいて導電線101に接続された第1の検出・注入部105と、位置Aとは異なる位置Bにおいて導電線101に接続され、且つ導電線101とは異なる経路によって第1の検出・注入部105に接続された第2の検出・注入部106と、導電線101において、第1の検出・注入部105と第2の検出・注入部106との間に設けられた波高値低減部107とを備えている。

【0037】

第1の検出・注入部105と第2の検出・注入部106は、それぞれ、ノイズに対応する信号の検出またはノイズを抑制するための注入信号の注入を行う。波高値低減部107は、ノイズの波高値を低減する。第1の検出・注入部105は、例えばインダクタンス素子を含んでいる。波高値低減部107は、インピーダンス素子、例えばインダクタンス素子を含んでいる。第2の検出・注入部106は、例えば、キャパシタからなるハイパスフィルタを含んでいる。

【0038】

図2に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置Aと位置Bの間の位置を除いて、位置Aよりも位置Bに近い位置にある場合には、検出・注入部106は、位置Bにおいて導電線101上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線101上のノイズを抑制するために導電線101に注入される注入信号を生成する。この注入信号は、導電線101とは異なる経路を経由して、検出・注入部105に送られる。検出・注入部105は、導電線101上のノイズに対して逆相になるように注入信号を導電線101に注入する。これにより、導電線101上のノイズが注入信号によって相殺さ

れ、導電線 101 において位置 A からノイズの進行方向の先でノイズが抑制される。なお、本出願において、ノイズとは不必要な信号も含んでいる。

【0039】

また、図 2 に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置 A と位置 B の間の位置を除いて、位置 B よりも位置 A に近い位置にある場合には、検出・注入部 105 は、位置 A において導電線 101 上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線 101 上のノイズを抑制するために導電線 101 に注入される注入信号を生成する。この注入信号は、導電線 101 とは異なる経路を経由して、検出・注入部 106 に送られる。検出・注入部 106 は、導電線 101 上のノイズに対して逆相になるように注入信号を導電線 101 に注入する。これにより、導電線 101 上のノイズが注入信号によって相殺され、導電線 101 において位置 B からノイズの進行方向の先でノイズが抑制される。

【0040】

また、波高値低減部 107 は、位置 A と位置 B との間において、導電線 101 を通過するノイズの波高値を低減する。これにより、導電線 101 を経由して伝搬するノイズの波高値と、導電線 101 とは異なる経路を経由して導電線 101 に注入される注入信号の波高値との差が低減される。

【0041】

相殺型ノイズ抑制回路によれば、広い周波数範囲においてノイズを効果的に抑制することが可能になる。

【0042】

なお、相殺型ノイズ抑制回路は、波高値低減部 107 を除いて構成することも可能である。しかし、相殺型ノイズ抑制回路では、波高値低減部 107 を有しない場合に比べて、波高値低減部 107 を有する方が、より広い周波数範囲においてノイズを抑制することが可能になる。

【0043】

次に、図 3 を参照して、相殺型ノイズ抑制回路の構成の一例について説明する。図 3 に示した相殺型ノイズ抑制回路は、一対の端子 111a, 111b と、他

の一对の端子 112a, 112b と、端子 111a, 112a 間を接続する導電線 113 と、端子 111b, 112b 間を接続する導電線 114 とを備えている。この相殺型ノイズ抑制回路は、更に、所定の位置 A において、導電線 113 に挿入された第 1 の巻線 115a と、磁芯 115d と、位置 A に対応する位置において導電線 114 に挿入されると共に磁芯 115d を介して第 1 の巻線 115a に結合され、第 1 の巻線 115a と協働してコモンモードノイズを抑制する第 2 の巻線 115b と、磁芯 115d を介して第 1 の巻線 115a および第 2 の巻線 115b に結合された第 3 の巻線 115c とを備えている。巻線 115a, 115b および磁芯 115d は、コモンモードチョークコイルを構成している。すなわち、巻線 115a, 115b は、巻線 115a, 115b にノーマルモードの電流が流れたときに各巻線 115a, 115b を流れる電流によって磁芯 115d に誘起される磁束が互いに相殺されるような向きに、磁芯 115d に巻かれている。これにより、巻線 115a, 115b は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。

【0044】

図 3 に示した相殺型ノイズ抑制回路は、更に、一端が、位置 A とは異なる位置 B において導電線 113 に接続され、他端が第 3 の巻線 115c の一端に接続されたキャパシタ 116a と、一端が位置 B に対応する位置において導電線 114 に接続され、他端が第 3 の巻線 115c の一端に接続されたキャパシタ 116b とを備えている。第 3 の巻線 115c の他端は接地されている。キャパシタ 116a, 116b は、周波数が所定値以上の信号を通過させるハイパスフィルタとして機能する。

【0045】

図 3 に示した相殺型ノイズ抑制回路は、更に、位置 A と位置 B の間の位置 C において導電線 113 に挿入された第 4 の巻線 117a と、磁芯 117c と、位置 C に対応する位置において導電線 114 に挿入されると共に磁芯 117c を介して第 4 の巻線 117a に結合され、第 4 の巻線 117a と協働してコモンモードノイズを抑制する第 5 の巻線 117b とを備えている。巻線 117a, 117b および磁芯 117c は、コモンモードチョークコイルを構成している。すなわち

、巻線 117a, 117b は、巻線 117a, 117b にノーマルモードの電流が流れたときに各巻線 117a, 117b を流れる電流によって磁芯 117c に誘起される磁束が互いに相殺されるような向きに、磁芯 117c に巻かれている。これにより、巻線 117a, 117b は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。

【0046】

巻線 115a, 115b, 115c および磁芯 115d は、図 2 における第 1 の検出・注入部 105 に対応する。キャパシタ 116a, 116b は、図 2 における第 2 の検出・注入部 106 に対応する。巻線 117a, 117b および磁芯 117c は、図 2 における波高値低減部 107 に対応する。

【0047】

次に、図 3 に示した相殺型ノイズ抑制回路の作用について説明する。まず、ノイズの発生源が、位置 A と位置 B の間の位置を除いて、位置 A よりも位置 B に近い位置にある場合について説明する。この場合には、キャパシタ 116a, 116b によって、位置 B およびこれに対応する位置における導電線 113, 114 上のコモンモードノイズに対応する信号が検出され、更に、この信号に基づいて、コモンモードノイズに対して逆相となる注入信号が生成される。この注入信号は第 3 の巻線 115c に供給される。第 3 の巻線 115c は、第 1 および第 2 の巻線 115a, 115b を介して、注入信号を導電線 113, 114 に注入する。これにより、導電線 113, 114 において位置 A からコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

【0048】

また、図 3 に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置 A と位置 B の間の位置を除いて、位置 B よりも位置 A に近い位置にある場合には、第 1 および第 2 の巻線 115a, 115b を介して第 3 の巻線 115c によって、位置 A およびこれに対応する位置における導電線 113, 114 上のコモンモードノイズに対応する信号が検出され、この信号に基づいて注入信号が生成される。この注入信号は、キャパシタ 116a, 116b を経て、位置 B およびこれに対応する位置において、導電線 113, 114 上のコモンモードノイズに対

して逆相になるように注入される。これにより、導電線 113, 114 において位置 B からコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

【0049】

次に、図 4 を参照して、図 3 に示した相殺型ノイズ抑制回路の作用について詳しく説明する。図 4 は、図 3 に示した相殺型ノイズ抑制回路のうち、導電線 113 を通過する信号の抑制に関わる部分のみ示している。図 4 に示した回路は、端子 111a、112a と、第 1 の巻線 115a と、第 3 の巻線 115c と、キャパシタ 116a と、第 4 の巻線 117a とを有している。また、図 4 に示した回路には、コモンモードノイズ発生源 118 と負荷 119 とが接続されている。コモンモードノイズ発生源 118 は、端子 111a とグランド GND との間に接続され、両者の間に電位差 V_{in} を生じさせる。負荷 119 は、端子 112a とグランド GND との間に接続され、インピーダンス Z_o を有している。

【0050】

図 4 に示した回路において、第 3 の巻線 115c のインダクタンスを L_{11} とし、第 1 の巻線 115a のインダクタンスを L_{12} とし、キャパシタ 116a のキャパシタンスを C_1 とし、第 4 の巻線 117a のインダクタンスを L_{21} とする。また、キャパシタ 116a および第 3 の巻線 115c を通過する電流を i_1 とし、この電流 i_1 の経路のインピーダンスの総和を Z_1 とする。また、第 4 の巻線 117a および第 1 の巻線 115a を通過する電流を i_2 とし、この電流 i_2 の経路のインピーダンスの総和を Z_2 とする。

【0051】

また、第 1 の巻線 115a と第 3 の巻線 115c との間の相互インダクタンスを M とし、両者の結合係数を K とする。結合係数 K は、以下の式 (1) で表わされる。

【0052】

$$K = M / \sqrt{(L_{11} \cdot L_{12})} \quad \dots (1)$$

【0053】

上記インピーダンスの総和 Z_1 、 Z_2 は、それぞれ、以下の式 (2)、(3)

で表わされる。なお、 j は $\sqrt{-1}$ を表わし、 ω はコモンモードノイズの角周波数を表わしている。

【0054】

$$Z_1 = j(\omega L_{11} - 1/\omega C_1) \quad \dots (2)$$

$$Z_2 = Z_0 + j\omega(L_{12} + L_{21}) \quad \dots (3)$$

【0055】

また、電位差 V_{in} は、以下の式 (4), (5) で表わされる。

【0056】

$$V_{in} = Z_1 \cdot i_1 + j\omega M \cdot i_2 \quad \dots (4)$$

$$V_{in} = Z_2 \cdot i_2 + j\omega M \cdot i_1 \quad \dots (5)$$

【0057】

以下、式 (2) ~ (5) に基づいて、電流 i_1 を含まずに、電流 i_2 を表わす式を求める。そのために、まず、式 (4) から次の式 (6) を導く。

【0058】

$$i_1 = (V_{in} - j\omega M \cdot i_2) / Z_1 \quad \dots (6)$$

【0059】

次に、式 (6) を式 (5) に代入すると、次の式 (7) が得られる。

【0060】

$$i_2 = V_{in} (Z_1 - j\omega M) / (Z_1 \cdot Z_2 + \omega^2 \cdot M^2) \quad \dots (7)$$

【0061】

図 4 に示した回路によってコモンモードノイズを抑制することは、式 (7) で表わされる電流 i_2 を小さくすることであると言える。式 (7) によれば、式 (7) の右辺の分母が大きくなれば、電流 i_2 は小さくなる。そこで、式 (7) の右辺の分母 ($Z_1 \cdot Z_2 + \omega^2 \cdot M^2$) について考察する。

【0062】

まず、 Z_1 は、式 (2) で表わされるため、第 3 の巻線 115 c のインダクタンス L_{11} が大きいほど大きくなると共に、キャパシタ 116 a のキャパシタンス C_1 が大きいほど大きくなる。

【0063】

次に、Z2は、式(3)で表わされるため、第1の巻線115aのインダクタンスL12と第4の巻線117aのインダクタンスL21との和が大きいほど大きくなる。従って、インダクタンスL12とインダクタンスL21の少なくとも一方を大きくすれば、電流i2を小さくすることができる。また、式(7)から、第1の巻線115aだけでもコモンモードノイズを抑制することができるが、第4の巻線117aを加えることでコモンモードノイズをより抑制することができることが分かる。

【0064】

また、式(7)の右辺の分母には $\omega^2 \cdot M^2$ が含まれていることから、相互インダクタンスMを大きくすることにより、電流i2を小さくすることができる。式(1)から分かるように結合係数Kは相互インダクタンスMに比例するため、結合係数を大きくすれば、図4に示した回路によるコモンモード信号の抑制効果が大きくなる。相互インダクタンスMは、式(7)の右辺の分母中に2乗の形で含まれていることから、結合係数Kの値によってコモンモードノイズの抑制効果は大きく変化する。

【0065】

以上の説明は、図3に示した相殺型ノイズ抑制回路のうち、導電線114を通過する信号の抑制に関わる部分についても同様に当てはまる。

【0066】

また、コモンモードノイズの発生源が、位置Bよりも位置Aに近い位置にある場合には、第3の巻線115cとキャパシタ116aの役割が、図4を用いた説明とは逆になる。しかし、この場合にも、上記の説明は、同様に当てはまる。

【0067】

本実施の形態では、図3に示した相殺型ノイズ抑制回路を利用して、コモンモードノイズを抑制する。本実施の形態では、更に、図3中の巻線117a, 117bおよび磁芯117cによって構成されたコモンモードチョークコイルが発生する漏れインダクタンスと後述するキャパシタとを利用して、ノーマルモードノイズを抑制する。

【0068】

ここで、図 3 の中の巻線 117a, 117b および磁芯 117c によって構成されたコモンモードチョークコイルが発生する漏れインダクタンスについて説明する。このコモンモードチョークコイルにおいて、巻線 117a と巻線 117b との結合係数は 1 よりも小さい。従って、巻線 117a, 117b は、導電線 113, 114 のそれぞれにおいて漏れインダクタンスを発生させる。これらの漏れインダクタンスを考慮すると、このコモンモードチョークコイルの等価回路は、図 5 に示すようになる。なお、図 5 において、符号 122a は、巻線 117a, 115a 間に配置される仮想の端子を表し、符号 122b は、巻線 117b, 115b 間に配置される仮想の端子を表している。図 5 に示した回路では、巻線 117a と端子 122a との間に、導電線 113 側の漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタ 110a が挿入され、巻線 117b と端子 122b との間に、導電線 114 側の漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタ 110b が挿入されている。

【0069】

次に、図 1 を参照して、本実施の形態に係るノイズ抑制回路について説明する。図 1 は、本実施の形態に係るノイズ抑制回路の構成を示す回路図である。本実施の形態に係るノイズ抑制回路は、図 3 に示した相殺型ノイズ抑制回路の機能を持つものである。

【0070】

本実施の形態に係るノイズ抑制回路は、一对の端子 1a, 1b と、他の一对の端子 2a, 2b と、端子 1a, 2a 間を接続する第 1 の導電線 3 と、端子 1b, 2b 間を接続する第 2 の導電線 4 とを備えている。

【0071】

ノイズ抑制回路は、更に、所定の第 1 の位置 P11a において導電線 3 に挿入された第 1 の巻線 W11 と、磁芯 11 と、第 1 の位置 P11a に対応する位置 P11b において導電線 4 に挿入されると共に、磁芯 11 を介して第 1 の巻線 W11 に結合され、第 1 の巻線 W11 と協働してコモンモードノイズを抑制する第 2 の巻線 W12 と、磁芯 11 を介して第 1 の巻線 W11 および第 2 の巻線 W12 に結合された第 3 の巻線 W13 とを備えている。巻線 W11, W12 および磁芯 1

1 は、コモンモードチョークコイルを構成している。すなわち、巻線 W11, W12 は、巻線 W11, W12 にノーマルモードの電流が流れたときに各巻線 W11, W12 を流れる電流によって磁芯 11 に誘起される磁束が互いに相殺されるような向きに、磁芯 11 に巻かれている。これにより、巻線 11, W12 は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。例えば、巻線 W11, W12, W13 の巻数は等しくなっている。

【0072】

ノイズ抑制回路は、更に、一端が第 1 の位置 P11a とは異なる第 2 の位置 P12a において導電線 3 に接続され、他端が第 3 の巻線 W13 の一端に接続されたコモンモード用のキャパシタ 12 と、一端が第 2 の位置 P12a に対応する位置 P12b において導電線 4 に接続され、他端がキャパシタ 12 の他端および第 3 の巻線 W13 の一端に接続されたコモンモード用のキャパシタ 13 とを備えている。第 3 の巻線 W13 の他端は接地されている。キャパシタ 12, 13 は、周波数が所定値以上のコモンモード信号を通過させるハイパスフィルタとして機能する。位置 P12a, P12b から、キャパシタ 12, 13 および第 3 の巻線 W13 を経て、グラウンドに至る信号経路は、コモンモードノイズを抑制するために導電線 3, 4 に注入されるコモンモード注入信号を伝送する。

【0073】

ノイズ抑制回路は、更に、第 1 の位置 P11a と第 2 の位置 P12a との間の第 3 の位置 P13a において導電線 3 に挿入された第 4 の巻線 W14 と、磁芯 14 と、第 3 の位置 P13a に対応する位置 P13b において導電線 4 に挿入されると共に、漏れインダクタンスが発生するように磁芯 14 を介して第 4 の巻線 W14 に結合され、第 4 の巻線 W14 と協働してコモンモードノイズを抑制する第 5 の巻線 W15 とを備えている。巻線 W14, W15 および磁芯 14 は、コモンモードチョークコイルを構成している。すなわち、巻線 W14, W15 は、巻線 W14, W15 にノーマルモードの電流が流れたときに各巻線 W14, W15 を流れる電流によって磁芯 14 に誘起される磁束が互いに相殺されるような向きに、磁芯 14 に巻かれている。これにより、巻線 W14, W15 は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。例えば、巻線 W14, W

15の巻数は等しくなっている。

【0074】

ノイズ抑制回路は、更に、一端がキャパシタ12, 13の接続点および第3の巻線W13の一端に接続され、他端が接地されたキャパシタ15を備えている。

【0075】

ノイズ抑制回路は、更に、一端が端子1aと第3の位置P13aとの間の位置において導電線3に接続され、他端が端子1bと第3の位置P13aに対応する位置P13bにおいて導電線4に接続されたノーマルモード用のキャパシタ16を備えている。図1に示した例では、特に、キャパシタ16は、一端が第2の位置P12aと第3の位置P13aとの間の位置において導電線3に接続され、他端が第2の位置P12aに対応する位置P12bと、第3の位置P13aに対応する位置P13bとの間の位置において導電線4に接続されている。

【0076】

ノイズ抑制回路は、更に、一端が第3の位置P13aと端子2aとの間の位置において導電線3に接続され、他端が第3の位置P13aに対応する位置P13bと端子2bとの間の位置において導電線4に接続されたノーマルモード用のキャパシタ17を備えている。図1に示した例では、特に、キャパシタ17は、一端が第3の位置P13aと第1の位置P11aとの間の位置において導電線3に接続され、他端が第3の位置P13aに対応する位置P13bと、第1の位置P11aに対応する位置P11bとの間の位置において導電線4に接続されている。

【0077】

本実施の形態において、第4の巻線W14と第5の巻線W15との結合係数は1よりも小さい。従って、巻線W14, W15は、導電線3, 4のそれぞれにおいて漏れインダクタンスを発生させる。図1には、これらの漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタL101, L102を含めている。インダクタL101は、第3の位置P13aと、キャパシタ17と導電線3との接続点との間の位置において導電線3に挿入されている。また、インダクタL102は、第3の位置P13aに対応する位置P13bと、キャパシタ17

と導電線 4 との接続点との間の位置において導電線 4 に挿入されている。キャパシタ 16, 17 は、巻線 W14, W15 によって発生される漏れインダクタンス（インダクタ L101, L102）と協働してノーマルモードノイズを低減する。

【0078】

巻線 W11, W12, W13、磁芯 11、巻線 W14, W15、磁芯 14、およびキャパシタ 12, 13, 15 は、本発明におけるコモンモードノイズ抑制手段に対応すると共に、図 3 に示した相殺型ノイズ抑制回路の機能を発揮する。

【0079】

また、キャパシタ 16, 17 およびインダクタ L101, L102 は、 π 型フィルタを構成し、本発明におけるノーマルモードノイズ抑制手段に対応する。

【0080】

次に、本実施の形態に係るノイズ抑制回路の作用について説明する。まず、コモンモードノイズの発生源が、位置 P11a, P11b と位置 P12a, P12b の間の位置を除いて、位置 P11a, P11b よりも位置 P12a, P12b に近い位置にある場合におけるノイズ抑制回路のコモンモードノイズ抑制作用について説明する。この場合には、キャパシタ 12, 13 によって、位置 P12a, P12b において導電線 3, 4 よりコモンモードノイズに対応する信号が検出され、更に、この信号に基づいて、コモンモードノイズに対して逆相となるコモンモード注入信号が生成される。このコモンモード注入信号は、第 3 の巻線 W13 に供給される。第 3 の巻線 W13 は、第 1 の巻線 W11 および第 2 の巻線 W12 を介して、導電線 3, 4 上のコモンモードノイズに対して逆相となるようにコモンモード注入信号を導電線 3, 4 に注入する。これにより、導電線 3, 4 において位置 P11a, P11b からコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

【0081】

次に、コモンモードノイズの発生源が、位置 P11a, P11b と位置 P12a, P12b の間の位置を除いて、位置 P12a, P12b よりも位置 P11a, P11b に近い位置にある場合におけるノイズ抑制回路のコモンモードノイズ

抑制作用について説明する。この場合には、第1の巻線W11および第2の巻線W12を通過するコモンモードノイズに対応する信号が第3の巻線W13に誘起される。このようにして、第3の巻線W13によって、位置P11a, P11bにおいて導電線3, 4よりコモンモードノイズに対応する信号が検出されると共に、この信号に対応するコモンモード注入信号が生成される。このコモンモード注入信号は、キャパシタ12, 13を通過すると共に、位置P12a, P12bにおいて導電線3, 4に注入される。コモンモード注入信号は、導電線3, 4上のコモンモードノイズに対して逆相となるように導電線3, 4に注入される。これにより、導電線3, 4において位置P12a, P12bからコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

【0082】

波高値低減部107としての巻線W14, W15および磁芯14は、位置P11a, P11bと位置P12a, P12bとの間において、導電線3, 4を通過するコモンモードノイズの波高値を低減する。これにより、導電線3, 4を経由して伝搬するコモンモードノイズの波高値と、導電線3, 4とは異なる経路を経由して導電線3, 4に注入される注入信号の波高値との差が低減される。

【0083】

また、本実施の形態に係るノイズ抑制回路では、ノーマルモードノイズの発生源が、位置P11a, P11bと位置P12a, P12bの間の位置を除いて、位置P11a, P11bよりも位置P12a, P12bに近い位置にある場合と、ノーマルモードノイズの発生源が、位置P11a, P11bと位置P12a, P12bの間の位置を除いて、位置P12a, P12bよりも位置P11a, P11bに近い位置にある場合のいずれにおいても、ノーマルモードノイズは、キャパシタ16, 17およびインダクタL101, L102によって抑制される。

【0084】

このように、本実施の形態に係るノイズ抑制回路によれば、コモンモードノイズおよびノーマルモードノイズを抑制することができる。特に、本実施の形態に係るノイズ抑制回路は、コモンモードノイズを抑制する相殺型ノイズ抑制回路の機能を有している。従って、このノイズ抑制回路によれば、相殺型ノイズ抑制回

路の利点を生かして、広い周波数範囲においてコモンモードノイズを効果的に抑制することが可能になる。

【0085】

ところで、相殺型ノイズ抑制回路とノーマルモードノイズを抑制する一般的なフィルタ回路とを単純に組み合わせて、コモンモードノイズおよびノーマルモードノイズを抑制できる回路を構成することも考えられる。しかしながら、この場合には、回路に含まれる部品点数が多くなり、回路が大型化するという問題が生じる。

【0086】

本実施の形態では、導電線 3, 4 において、位置 P11a, P11b と位置 P12a, P12b との間の位置 P13a, P13b に、漏れインダクタンスが発生するように結合されたコモンモードノイズ抑制用の巻線 W14, W15 が設けられている。そして、コモンモードノイズ抑制用の巻線 W14, W15 によって発生される漏れインダクタンス（インダクタ L101, L102）を利用して、インダクタ L101, L102 およびキャパシタ 16, 17 によってノーマルモードノイズ抑制用のフィルタを構成している。そのため、本実施の形態では、ノーマルモードノイズを抑制するためのインダクタンス素子が不要になる。従って、本実施の形態に係るノイズ抑制回路によれば、相殺型ノイズ抑制回路とノーマルモードノイズを抑制するフィルタ回路とを単純に組み合わせて構成された回路に比べて、部品点数を少なくして、回路を小型化することが可能になる。

【0087】

本実施の形態において、巻線 W14, W15 の結合係数は、0.01～0.9999 の範囲内であればよい。また、上記結合係数は、ノイズ抑制回路が使用される環境におけるコモンモードノイズとノーマルモードノイズとの割合に応じて適宜に設定することが好ましい。ノーマルモードノイズとコモンモードノイズとが共にある程度存在する環境では、上記結合係数は、0.2～0.9995 の範囲内であることが好ましい。ノーマルモードノイズとコモンモードノイズとが同程度存在する環境では、上記結合係数は、0.4～0.9990 の範囲内であることが好ましい。

【0088】

また、本実施の形態では、コモンモード注入信号の伝送路は、注入信号を通過させるための素子としてキャパシタ 12, 13 を含んでいる。そのため、本実施の形態によれば、キャパシタ 12, 13 のみによって、コモンモードノイズに対応した信号の検出と、コモンモードノイズに対して逆相となる注入信号の生成とを行うことができる。従って、本実施の形態によれば、部品点数をより少なくすることができる。

【0089】

また、本実施の形態に係るノイズ抑制回路は、一端がキャパシタ 12, 13 の接続点および第 3 の巻線 W13 の一端に接続され、他端が接地されたキャパシタ 15 を備えている。これにより、高い周波数の領域におけるノイズ抑制回路のコモンモードノイズ抑制機能を向上させることができる。

【0090】

次に、図 6 を参照して、本実施の形態に係るノイズ抑制回路の 3 つの変形例について説明をする。

【0091】

図 6 は本実施の形態に係るノイズ抑制回路の第 1 の変形例を示す回路図である。この第 1 の変形例は、図 1 に示したノイズ抑制回路においてキャパシタ 17 が導電線 3, 4 に接続された位置とは異なる位置で、キャパシタ 17 が導電線 3, 4 に接続された構成になっている。すなわち、第 1 の変形例では、キャパシタ 17 は、一端が第 1 の位置 P11a と端子 2a との間の位置において導電線 3 に接続され、他端が第 1 の位置 P11a に対応する位置 P11b と端子 2b との間の位置において導電線 4 に接続されている。この構成によっても、キャパシタ 16, 17 とインダクタ L101, L102 とによって、導電線 3, 4 上を通過するノーマルモードノイズが低減される。

【0092】

第 2 の変形例は、図 6 に示したノイズ抑制回路からキャパシタ 17 を除いた構成になっている。この構成では、キャパシタ 16 とインダクタ L101, L102 とによって、導電線 3, 4 上を通過するノーマルモードノイズが低減される。

【0093】

第3の変形例は、図6に示したノイズ抑制回路からキャパシタ16を除いた構成になっている。この構成では、キャパシタ17とインダクタL101, L102とによって、導電線3, 4上を通過するノーマルモードノイズが低減される。

【0094】

第1ないし第3の変形例のその他の構成、作用および効果は、図1に示したノイズ抑制回路と同様である。

【0095】

また、本実施の形態に係るノイズ抑制回路では、上述した3つの変形例以外にも、種々の変形が可能である。例えば、ノーマルモード用のキャパシタ16, 17は、キャパシタ16, 17の各一端が第4の巻線W14を挟んだ位置で導電線3に接続され、キャパシタ16, 17の各他端が第5の巻線W15を挟んだ位置で導電線4に接続されていればよい。

【0096】

次に、図7ないし図14を参照して、本実施の形態における磁芯14および巻線W14, W15を含むコモンモードチョークコイルの構造の6つの例について説明をする。

【0097】

始めに、図7を参照して、コモンモードチョークコイルの第1の例について説明する。図7は、コモンモードチョークコイルの第1の例を示す正面図である。この第1の例では、磁芯14は、それぞれ磁性材料よりなる2つのE形状の磁性部材21, 22と、磁性材料よりなる磁性部材23とを有している。磁性部材21は、中央の脚部21aと、脚部21aの両側に、脚部21aに対して所定の間隔を開けて配置された脚部21b, 21cと、脚部21a, 21b, 21cの一端同士を連結する連結部21dとを有している。同様に、磁性部材22は、中央の脚部22aと、脚部22aの両側に、脚部22aに対して所定の間隔を開けて配置された脚部22b, 22cと、脚部22a, 22b, 22cの一端同士を連結する連結部22dとを有している。磁性部材21, 22は、脚部21a, 22aの他端同士、脚部21b, 22bの他端同士、脚部21c, 22cの他端同

士が対向するように配置されている。脚部 21b, 22b の他端同士は接合され、脚部 21c, 22c の他端同士も接合されている。脚部 21a, 22a の他端同士は、所定の間隔を開けて互いに対向し、両者の間には磁性部材 23 が挿入されている。磁性部材 23 は脚部 21a, 22a の各他端に接合されている。磁性部材 21, 22 は例えば高透磁率磁性材料によって形成され、磁性部材 23 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 21, 22 は、例えばフェライトによって形成されている。磁性部材 23 は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

【0098】

巻線 W14 は脚部 21b, 22b に巻回され、巻線 W15 は脚部 21c, 22c に巻回されている。第 1 の例における磁芯 14 は、巻線 W14, W15 を結合させるための磁束を通過させる磁路 24a と、巻線 W14 によって発生される漏れ磁束を通過させる磁路 24b と、巻線 W15 によって発生される漏れ磁束を通過させる磁路 24c とを形成する。磁路 24a は、脚部 21b, 22b, 21c, 22c および連結部 21d, 22d によって形成される。磁路 24b は、脚部 21a, 22a, 21b, 22b、連結部 21d の一部、連結部 22d の一部および磁性部材 23 によって形成される。磁路 24c は、脚部 21a, 22a, 21c, 22c、連結部 21d の他の一部、連結部 22d の他の一部および磁性部材 23 によって形成される。脚部 21a, 22a および磁性部材 23 は、本発明における第 2 の磁路形成部に対応する。脚部 21b, 22b, 21c, 22c および連結部 21d, 22d は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

【0099】

次に、第 1 の例のコモンモードチョークコイルの作用について説明する。このコモンモードチョークコイルでは、巻線 W14, W15 にコモンモードの電流が流れると、各巻線 W14, W15 を流れる電流によって発生された磁束は、互いに重なるような方向で磁路 24a を通過し、その結果、W14, W15 にはインダクタンスが生じる。

【0100】

一方、巻線W14, W15にノーマルモードの電流が流れると、各巻線W14, W15を流れる電流によって発生された磁束は、互いに相殺されるような方向で磁路24aを通過するため、巻線W14, W15にはインダクタンスが生じない。また、巻線W14にノーマルモードの電流が流れると、巻線W14によって発生された磁束の一部は、漏れ磁束となって磁路24bを通過する。この漏れ磁束によって、ノーマルモードの電流に対する漏れインダクタンスが生じる。同様に、巻線W15にノーマルモードの電流が流れると、巻線W15によって発生された磁束の一部は、漏れ磁束となって磁路24cを通過する。この漏れ磁束によって、ノーマルモードの電流に対する漏れインダクタンスが生じる。

【0101】

次に、図8を参照して、コモンモードチョークコイルの第2の例について説明する。図8は、コモンモードチョークコイルの第2の例を示す正面図である。この第2の例では、磁芯14は、磁性材料よりなる矩形の環状の磁性部材31と、磁性材料よりなるE字形状の磁性部材32と、磁性部材33とを有している。磁性部材31は、平行な2つの直線状部分31a, 31cと、他の平行な2つの直線状部分31b, 31dとを有している。磁性部材32は、中央の脚部32aと、脚部32aの両側に、脚部32aに対して所定の間隔を開けて配置された脚部32b, 32cと、脚部32a, 32b, 32cの一端同士を連結する連結部32dとを有している。脚部32b, 32cの他端は、磁性部材31の直線状部分31aに接合されている。脚部32aの他端は、所定の間隔を開けて直線状部分31aに対向し、両者の間には磁性部材33が挿入されている。磁性部材33は脚部32aと直線状部分31aとに接合されている。磁性部材31, 32は例えば高透磁率磁性材料によって形成され、磁性部材33は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材31, 32は、例えばフェライトによって形成されている。磁性部材33は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

【0102】

巻線W14は、脚部32a, 32bの間の位置で、直線状部分31aに巻回されている。巻線W15は、脚部32a, 32cの間の位置で、直線状部分31a

に巻回されている。第2の例における磁芯14は、巻線W14、W15を結合させるための磁束を通過させる磁路34aと、巻線W14によって発生される漏れ磁束を通過させる磁路34bと、巻線W15によって発生される漏れ磁束を通過させる磁路34cとを形成する。磁路34aは、磁性部材31によって形成される。磁路34bは、脚部32a、32b、連結部32dの一部、直線状部分31aの一部および磁性部材33によって形成される。磁路34cは、脚部32a、32c、連結部32dの他の一部、直線状部分31aの他の一部および磁性部材33によって形成される。磁性部材31は、本発明における第1の磁路形成部に対応する。磁性部材31の直線状部分31a、磁性部材32および磁性部材33は、本発明における第2の磁路形成部に対応する。

【0103】

第2の例のコモンモードチョークコイルの作用は、第1の例のコモンモードチョークコイルと同様である。

【0104】

次に、図9を参照して、コモンモードチョークコイルの第3の例について説明する。図9は、コモンモードチョークコイルの第3の例を示す正面図である。この第3の例では、磁芯14は、それぞれ磁性材料よりなる2つのE字形状の磁性部材41、42と、磁性材料よりなる平板状の磁性部材43とを有している。磁性部材41は、中央の脚部41aと、脚部41aの両側に、脚部41aに対して所定の間隔を開けて配置された脚部41b、41cと、脚部41a、41b、41cの一端同士を連結する連結部41dとを有している。同様に、磁性部材42は、中央の脚部42aと、脚部42aの両側に、脚部42aに対して所定の間隔を開けて配置された脚部42b、42cと、脚部42a、42b、42cの一端同士を連結する連結部42dとを有している。磁性部材41、42は、脚部41a、42aの他端同士、脚部41b、42bの他端同士、脚部41c、42cの他端同士が対向するように配置されている。脚部41b、42bの他端同士は接合され、脚部41c、42cの他端同士も接合されている。脚部41a、42aは、他の脚部41b、41c、42b、42cよりも短い。脚部41a、42aの他端同士は、所定の間隔を開けて互いに対向し、両者の間には磁性部材43が

挿入されている。磁性部材 43 は、脚部 41a, 41b, 41c, 42a, 42b, 42c の各他端に接合されている。磁性部材 41, 42 は例えば高透磁率磁性材料によって形成され、磁性部材 43 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 41, 42 は、例えばフェライトによって形成されている。磁性部材 43 は、例えばアモルファス磁性材料によって形成されている。磁性部材 43 は、例えば圧粉磁芯でもよい。

【0105】

巻線 W14 は、脚部 41a に巻回されている。巻線 W15 は、脚部 42a に巻回されている。第 3 の例における磁芯 14 は、巻線 W14, W15 を結合させるための磁束を通過させる磁路 44a, 44b と、巻線 W14 によって発生される漏れ磁束を通過させる磁路 44c, 44d と、巻線 W15 によって発生される漏れ磁束を通過させる磁路 44e, 44f とを形成する。磁路 44a は、脚部 41a, 42a, 41b, 42b、連結部 41d の一部および連結部 42d の一部によって形成される。磁路 44b は、脚部 41a, 42a, 41c, 42c、連結部 41d の他の一部および連結部 42d の他の一部によって形成される。磁路 44c は、脚部 41a, 41b、連結部 41d の一部および磁性部材 43 の一部によって形成される。磁路 44d は、脚部 41a, 41c、連結部 41d の他の一部および磁性部材 43 の他の一部によって形成される。磁路 44e は、脚部 42a, 42b、連結部 42d の一部および磁性部材 43 の一部によって形成される。磁路 44f は、脚部 42a, 42c、連結部 42d の他の一部および磁性部材 43 の他の一部によって形成される。磁性部材 43 は、本発明における第 2 の磁路形成部に対応する。磁性部材 41, 42 は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

【0106】

第 3 の例のコモンモードチョークコイルの作用は、第 1 の例のコモンモードチョークコイルと同様である。

【0107】

次に、図 10 を参照して、コモンモードチョークコイルの第 4 の例について説明する。図 10 は、コモンモードチョークコイルの第 4 の例を示す正面図である

。この第4の例では、磁芯14は、それぞれ磁性材料よりなる磁性部材61、62、63を有している。磁性部材61は、平行な2つの直線状部分61a、61cと、他の平行な2つの直線状部分61b、61dとを有し、矩形の環状をなしている。磁性部材62は、所定の間隔を開けて配置された2つの脚部62a、62bと、脚部62a、62bの一端同士を連結する連結部62cとを有している。脚部62a、62bの他端は、磁性部材61の直線状部分61aに接合されている。連結部62cの中央部分と直線状部分61aの中央部分との間には磁性部材63が挿入されている。磁性部材63は連結部62cと直線状部分61aとに接合されている。磁性部材61、62は例えば高透磁率磁性材料によって形成され、磁性部材63は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材61、62は、例えばフェライトによって形成されている。磁性部材63は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

【0108】

巻線W14は、直線状部分61aのうち、中間位置よりも直線状部分61bに近い部分に巻回されている。巻線W15は、直線状部分61aのうち、中間位置よりも直線状部分61dに近い部分に巻回されている。第4の例における磁芯14は、巻線W14、W15を結合させるための磁束を通過させる磁路64aと、巻線W14によって発生される漏れ磁束を通過させる磁路64bと、巻線W15によって発生される漏れ磁束を通過させる磁路64cとを形成する。磁路64aは、磁性部材61によって形成される。磁路64bは、脚部62a、連結部62cの一部、直線状部分61aの一部および磁性部材63によって形成される。磁路64cは、脚部62b、連結部62cの他の一部、直線状部分61aの他の一部および磁性部材63によって形成される。磁性部材61は、本発明における第1の磁路形成部に対応する。磁性部材61の直線状部分61a、磁性部材62および磁性部材63は、本発明における第2の磁路形成部に対応する。

【0109】

第4の例のコモンモードチョークコイルの作用は、第1の例のコモンモードチョークコイルと同様である。

【0110】

次に、図11および図12を参照して、コモンモードチョークコイルの第5の例について説明する。図11は、コモンモードチョークコイルの第5の例を示す側面図である。図12は、図11に示したコモンモードチョークコイルの一部を示す正面図である。この第5の例では、磁芯14は、それぞれ磁性材料よりなる2つの円環状の磁性部材71、72と、これらを接合する磁性部材73a、73bとを有している。磁性部材71、72は、これらの中心軸が一致するように配置され、磁性部材73a、73bを介して接合されている。磁性部材73a、73bは、磁性部材71、72の中心軸を中心として対称な位置に配置されている。磁性部材71、72は例えば高透磁率磁性材料によって形成され、磁性部材73a、73bは例えば高飽和磁束密度磁性材料によって形成されている。磁性部材71、72は、例えばフェライトによって形成されている。磁性部材73a、73bは、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

【0111】

巻線W14、W15は、磁性部材71に巻回されている。巻線W14、W15は、磁性部材71のうち、磁性部材73a、73bが配置されている2つの位置の間であって、且つ磁性部材71の中心軸を中心として対称な2つの位置に配置されている。図12は、磁性部材71、73a、73bおよび巻線W14、W15を示している。

【0112】

第5の例における磁芯14は、巻線W14、W15を結合させるための磁束を通過させる磁路74aと、巻線W14によって発生される漏れ磁束を通過させる磁路74bと、巻線W15によって発生される漏れ磁束を通過させる磁路（図示せず）とを形成する。磁路74aは、磁性部材71によって形成される。磁路74bは、磁性部材71のうちの図12における左半分の部分、磁性部材73a、73bおよび磁性部材72によって形成される。巻線W15によって発生される漏れ磁束を通過させる磁路は、磁性部材71のうちの図12における右半分の部分、磁性部材73a、73bおよび磁性部材72によって形成される。磁性部材

72, 73a, 73bは、本発明における第2の磁路形成部に対応する。磁性部材71は、本発明における第1の磁路形成部と第2の磁路形成部を兼ねている。

【0113】

第5の例のコモンモードチョークコイルの作用は、第1の例のコモンモードチョークコイルと同様である。

【0114】

次に、図13および図14を参照して、コモンモードチョークコイルの第6の例について説明する。図13は、コモンモードチョークコイルの第6の例を示す正面図である。図14は、図13に示したコモンモードチョークコイルの側面図である。この第6の例では、磁芯14は、磁性材料よりなる1つの円環状の磁性部材81と、磁性材料よりなる平板状の磁性部材82とを有している。磁性部材82の両端の近傍部分は、磁性部材81の中心軸を中心として対称な位置で、磁性部材81に接合されている。磁性部材81は例えば高透磁率磁性材料によって形成され、磁性部材82は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材81は、例えばフェライトによって形成されている。磁性部材82は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

【0115】

巻線W14, W15は、磁性部材81に巻回されている。巻線W14, W15は、磁性部材81のうち、磁性部材82が接合された2つの位置の間であって、且つ磁性部材81の中心軸を中心として対称な2つの位置に配置されている。

【0116】

第6の例における磁芯14は、巻線W14, W15を結合させるための磁束を通過させる磁路84aと、巻線W14によって発生される漏れ磁束を通過させる磁路（図示せず）と、巻線W15によって発生される漏れ磁束を通過させる磁路84cとを形成する。磁路84aは、磁性部材81によって形成される。巻線W14によって発生される漏れ磁束を通過させる磁路は、磁性部材81のうちの図13における左半分の部分および磁性部材82によって形成される。磁路84cは、磁性部材81のうちの図13における右半分の部分および磁性部材82によ

って形成される。磁性部材 82 は、本発明における第 2 の磁路形成部に対応する。磁性部材 81 は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

【0117】

第 6 の例のコモンモードチョークコイルの作用は、第 1 の例のコモンモードチョークコイルと同様である。

【0118】

次に、本実施の形態に係るノイズ抑制回路の伝送特性の一例について説明する。ここでは、図 1 に示したノイズ抑制回路と、図 6 を参照して説明した第 1 ないし第 3 の変形例のノイズ抑制回路のそれぞれについて、シミュレーションによって伝送特性を求めた。なお、伝送特性としては、ゲインの周波数特性を求めた。

【0119】

このシミュレーションでは、以下の数値を使用した。図 1 および図 6 における巻線 W11, W12, W13 および巻線 W14, W15 のインダクタンスはいずれも 2 mH とした。また、巻線 W14, W15 の結合係数を 0.955 とし、インダクタ L101, L102 のインダクタンスを共に 90 μ H とした。また、キャパシタ 12, 13 のキャパシタンスは共に 2200 pF とし、キャパシタ 15 のキャパシタンスは 1000 pF とした。また、キャパシタ 16, 17 のキャパシタンスは共に 0.47 μ F とした。また、巻線 W11, W12 の結合係数を 0.995 とした。この場合、巻線 W11, W12 によって発生される漏れインダクタンスは共に 10 μ H である。

【0120】

上述のシミュレーションによって求めた伝送特性を図 15 に示す。図 15 において、符号 91 で示した線は、図 1 に示したノイズ抑制回路のコモンモード信号に対する伝送特性および図 6 に示した第 1 の変形例のノイズ抑制回路のコモンモード信号に対する伝送特性を表している。符号 91 で示した線で表される 2 つの伝送特性は完全に一致している。図 15 から、図 1 に示したノイズ抑制回路と図 6 に示したノイズ抑制回路は、広い周波数範囲において良好なコモンモードノイズ抑制効果を有することが分かる。

【0121】

また、図15において、符号92で示した線は、図1に示したノイズ抑制回路のノーマルモード信号に対する伝送特性を表し、符号93で示した線は、図6に示したノイズ抑制回路のノーマルモード信号に対する伝送特性を表している。符号92、93で示した各線で表される2つの伝送特性は近似している。図15から、図1に示したノイズ抑制回路と図6に示したノイズ抑制回路は、広い周波数範囲において良好なノーマルモードノイズ抑制効果を有することが分かる。

【0122】

また、図15において、符号94で示した線は、第2の変形例のノーマルモード信号に対する伝送特性を表し、符号95で示した線は、第3の変形例のノーマルモード信号に対する伝送特性を表している。符号94、95で示した各線で表される2つの伝送特性は近似している。また、符号96で示した線は、図6に示したノイズ抑制回路からキャパシタ16、17を取り除いた回路のノーマルモード信号に対する伝送特性を示している。符号94～96で示した各線で表される3つの伝送特性を比較すると、第2または第3の変形例のノイズ抑制回路は、図6に示したノイズ抑制回路からキャパシタ16、17を取り除いた回路に比べて、広い周波数範囲において、ノーマルモードノイズ抑制効果が大きいことが分かる。また、符号92、93で示した各線で表される2つの伝送特性と、符号94、95で示した各線で表される2つの伝送特性とを比較すると、本実施の形態に係るノイズ抑制回路では、キャパシタ16、17の一方を備えている場合に比べて、キャパシタ16、17の両方を備えている方が、ノーマルモードノイズ抑制効果が大きいことが分かる。

【0123】

ところで、各国では、電子機器から交流電源線を介して外部へ放出されるノイズ、すなわち雑音端子電圧に関して、種々の規制を設けている場合が多い。各国における雑音端子電圧に関する規制の対象は、150kHz～30MHzの周波数範囲である場合が多い。ノーマルモードノイズは、特に1MHz以下の低い周波数範囲で問題になっている。図15から分かるように、図1に示したノイズ抑制回路と図6に示したノイズ抑制回路によれば、150kHz～1MHzの周波

数範囲において、ノーマルモード信号のゲインを -45 dB 以下とすることができ、これにより、種々の規制に適合させることができる。

【0124】

なお、上記実施の形態に係るノイズ抑制回路は、電力変換回路が発生するリップル電圧やノイズを低減する手段や、電力線通信において電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段として利用することができる。

【0125】

なお、本実施の形態では、第4の巻線W14と第5の巻線W15の組が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段を構成している。しかし、第1の巻線W11と第2の巻線W12の組が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていてもよい。また、第1の巻線W11と第2の巻線W12の組と、第4の巻線W14と第5の巻線W15の組の両方が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていてもよい。いずれの場合にも同様の効果を得ることができる。また、いずれの場合においても、漏れインダクタンスが発生する2つの巻線が巻回される磁芯の形状は、例えば図7ないし図14に示したものとすることができる。なお、図7ないし図14に示した磁芯を用いて、第1の巻線W11と第2の巻線W12とを漏れインダクタンスが発生するように結合させる場合には、第3の巻線W13は、巻線W11、W12を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部に巻回することができる。

【0126】

[第2の実施の形態]

図16は、本発明の第2の実施の形態に係るノイズ抑制回路の構成を示す回路図である。本実施の形態に係るノイズ抑制回路は、波高値低減部を含まないものである。具体的には、本実施の形態に係るノイズ抑制回路は、図6に示したノイ

ズ抑制回路において、第4の巻線W14、第5の巻線W15および磁芯14が除かれ、第1の巻線W11と第2の巻線W12が漏れインダクタンスが発生するように結合された構成になっている。なお、巻線W11、W12が巻回される磁芯の形状は、例えば図7ないし図14に示したものとすることができる。この場合、第3の巻線W13は、巻線W11、W12を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部に巻回することができる。

【0127】

巻線W11、W12は、導電線3、4のそれぞれにおいて漏れインダクタンスを発生させる。図16には、これらの漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタL201、L202を含めている。インダクタL201は、第1の位置P11aと端子2aとの間の位置において導電線3に挿入されている。インダクタL202は、第1の位置P11aに対応する位置P11bと端子2bとの間の位置において導電線4に挿入されている。キャパシタ17は、一端がインダクタL201と端子2aとの間の位置において導電線3に接続され、他端がインダクタL202と端子2bとの間の位置において導電線4に接続されている。

【0128】

本実施の形態に係るノイズ抑制回路では、導電線3、4を経由して伝搬するコモンモードノイズの波高値と、導電線3、4とは異なる経路を経由して導電線3、4に注入される注入信号の波高値との差を低減することはできないが、それ以外は、第1の実施の形態と同様の原理により、コモンモードノイズを低減することができる。

【0129】

また、本実施の形態に係るノイズ抑制回路では、キャパシタ16、17は、巻線W11、W12によって発生される漏れインダクタンス（インダクタL201、L202）と協働して、導電線3、4上を通過するノーマルモードノイズを低減する。

【0130】

ここで、一例として、本実施の形態に係るノイズ抑制回路において、巻線W1

1, W12の結合係数を0.95とし、インダクタL201, L202のインダクタンスを共に100 μ Hとし、他の素子のインダクタンスまたはキャパシタンスの値を第1の実施の形態におけるシミュレーションで使用了た値とした場合を考える。この場合には、ノイズ抑制回路のノーマルモード信号に対する伝送特性は、図15において符号92で示したものとなる。

【0131】

なお、本実施の形態において、第1の実施の形態と同様に、キャパシタ16, 17の一方を除いてもよい。本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

【0132】

なお、本発明は上記各実施の形態に限定されず、種々の変更が可能である。例えば、漏れインダクタンスを発生する2つの巻線が巻回される磁芯の形状は、図7ないし図14に示したものに限らない。図7ないし図14に示した例では、いずれも、漏れ磁束を通過させる磁路が閉磁路になっているが、漏れ磁束を通過させる磁路は開磁路になっていてもよい。また、磁芯は、2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有することが好ましい。しかし、磁芯は、第2の磁路形成部を有さず、漏れ磁束が空間を通過するような形状であってもよい。

【0133】

また、本発明に係るノイズ抑制回路では、2つの検出・注入部と波高値低減部のすべてが、結合された2つの巻線を有していてもよい。この場合には、2つの検出・注入部と波高値低減部のうちの少なくとも1つにおける2つの巻線が漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていればよい。

【0134】

また、本発明に係るノイズ抑制回路が波高値低減部を有さない場合には、2つの検出・注入部の両方が、結合された2つの巻線を有していてもよい。この場合には、2つの検出・注入部のうちの少なくとも一方における2つの巻線が漏れイ

ンダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていればよい。

【0135】

【発明の効果】

以上説明したように、本発明のノイズ抑制回路によれば、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを抑制でき、且つノイズ抑制回路の小型化が可能になるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るノイズ抑制回路の構成を示す回路図である。

【図2】

相殺型ノイズ抑制回路の基本構成を示すブロック図である。

【図3】

相殺型ノイズ抑制回路の構成の一例を示す回路図である。

【図4】

図3に示した相殺型ノイズ抑制回路の作用について説明するための回路図である。

【図5】

図3に示した相殺型ノイズ抑制回路に含まれるコモンモードチョークコイルの等価回路を示す回路図である。

【図6】

本発明の第1の実施の形態に係るノイズ抑制回路の変形例を示す回路図である。

【図7】

本発明の第1の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第1の例を示す正面図である。

【図8】

本発明の第1の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第2の例を示す正面図である。

【図 9】

本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 3 の例を示す正面図である。

【図 10】

本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 4 の例を示す正面図である。

【図 11】

本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 5 の例を示す側面図である。

【図 12】

図 11 に示したコモンモードチョークコイルの一部を示す正面図である。

【図 13】

本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 6 の例を示す正面図である。

【図 14】

図 13 に示したコモンモードチョークコイルの側面図である。

【図 15】

本発明の第 1 の実施の形態に係るノイズ抑制回路の伝送特性の一例を示す特性図である。

【図 16】

本発明の第 2 の実施の形態に係るノイズ抑制回路の構成を示す回路図である。

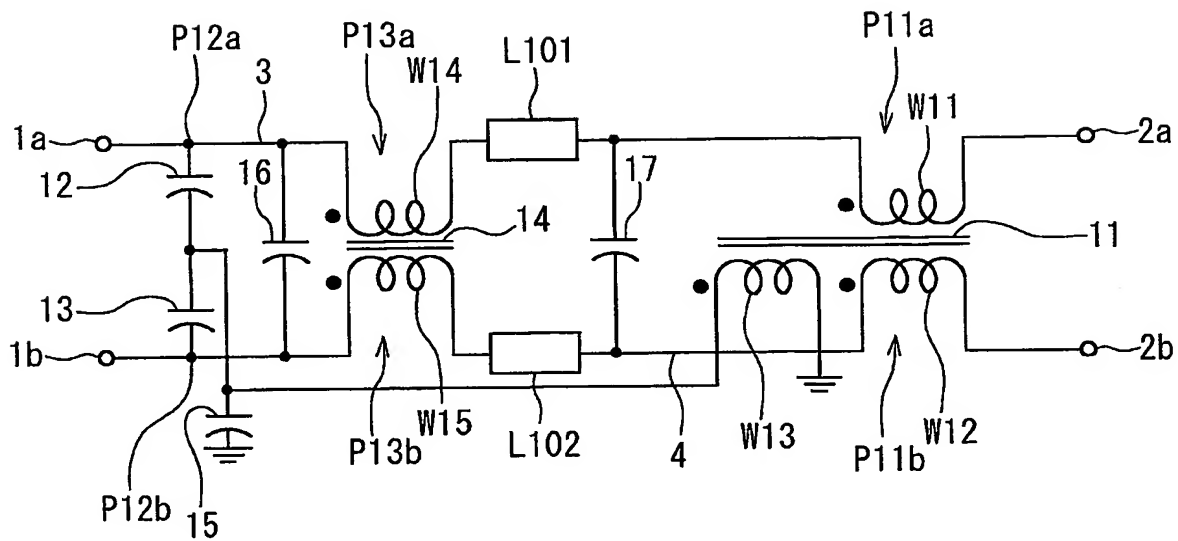
【符号の説明】

3, 4…導電線、11, 14…磁芯、12, 13, 15, 16, 17…キャパシタ、W11…第 1 の巻線、W12…第 2 の巻線、W13…第 3 の巻線、W14…第 4 の巻線、W15…第 5 の巻線、L101, L102…インダクタ。

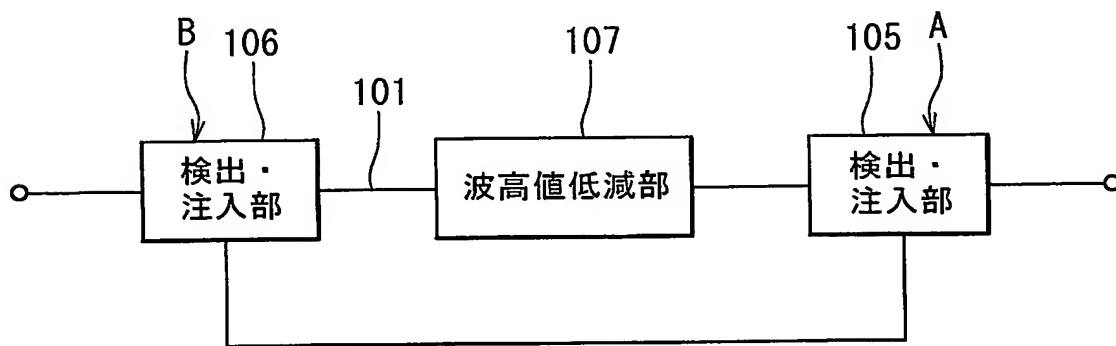
【書類名】

図面

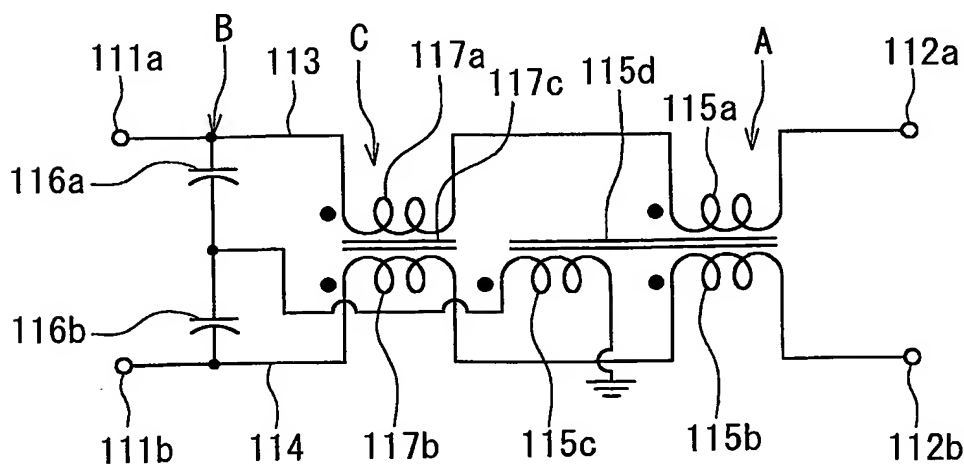
【図 1】



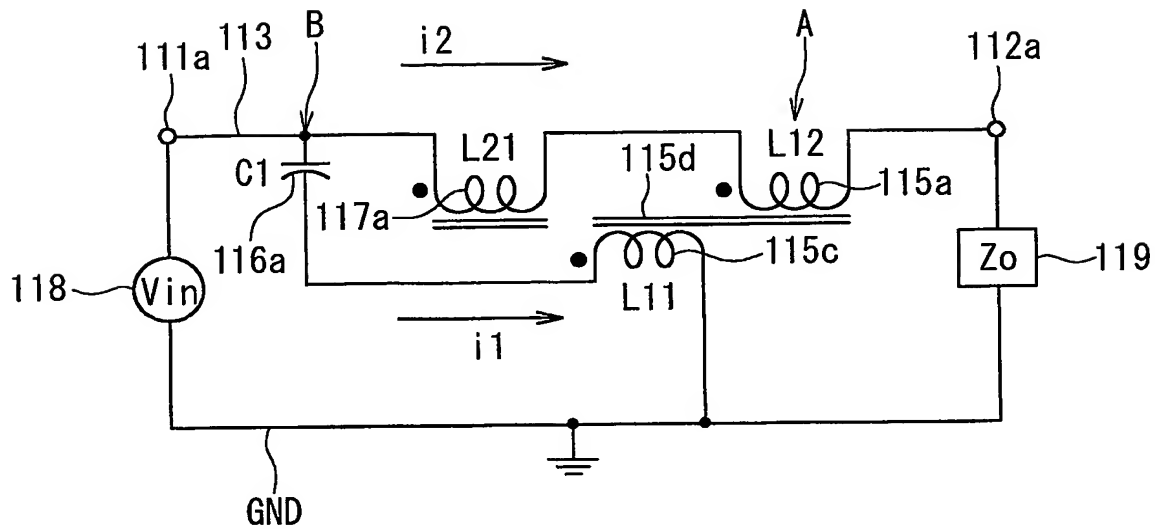
【図 2】



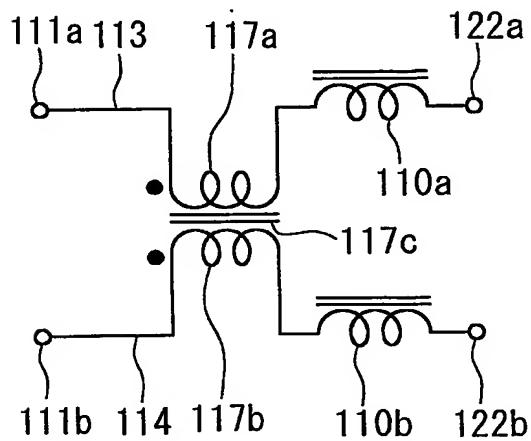
【図 3】



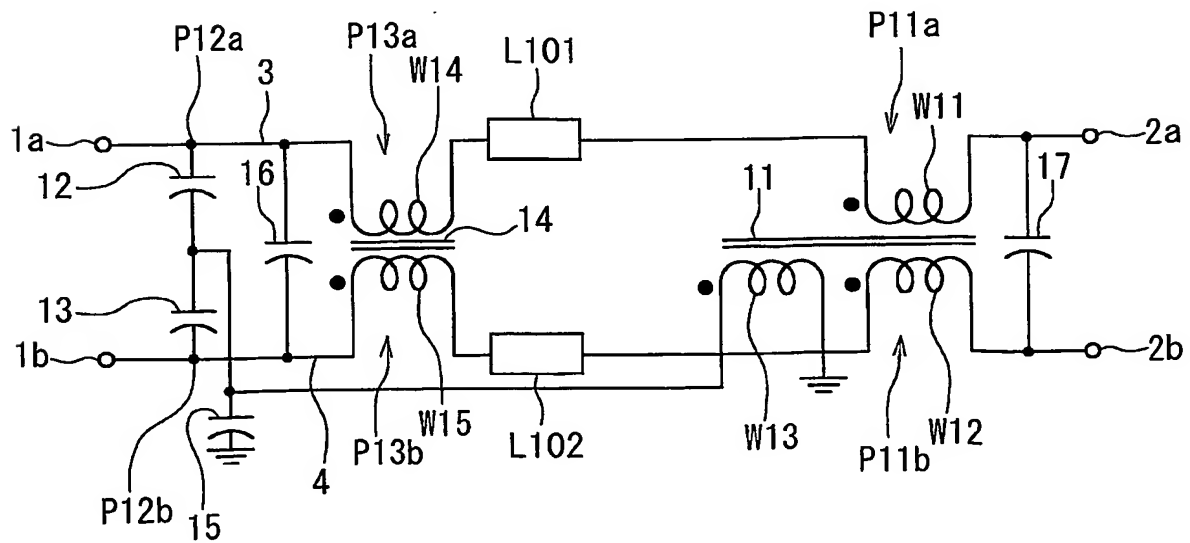
【図 4】



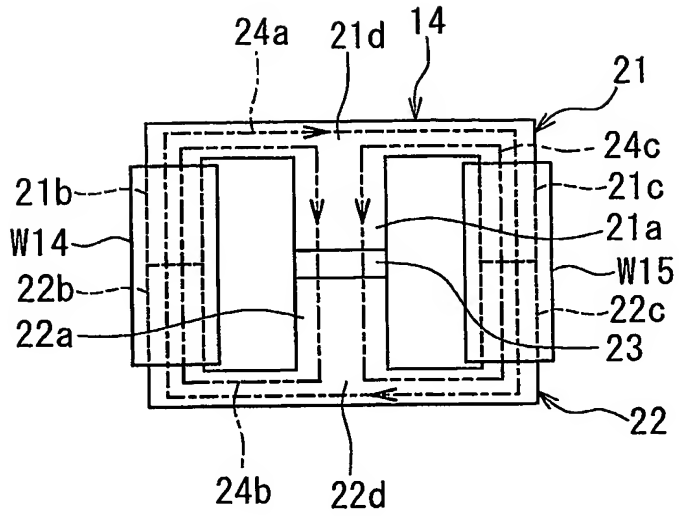
【図 5】



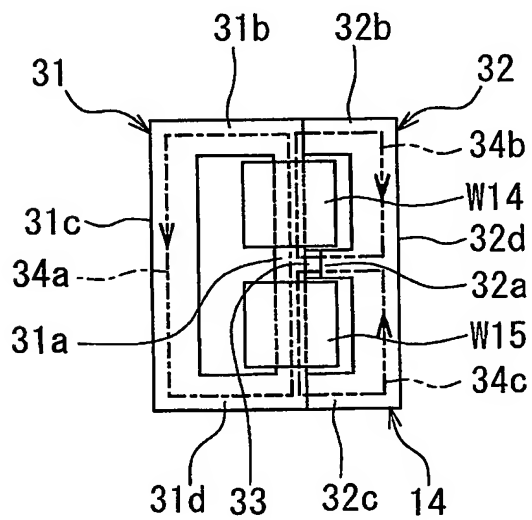
【図 6】



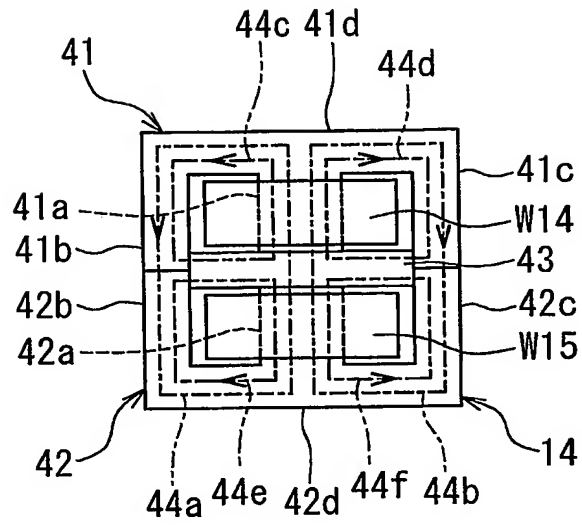
【図 7】



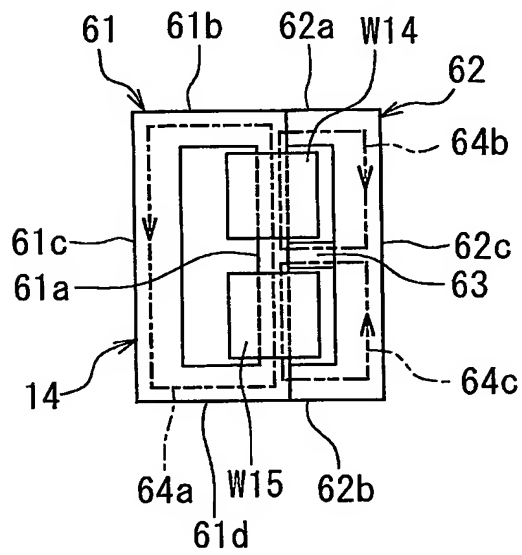
【図 8】



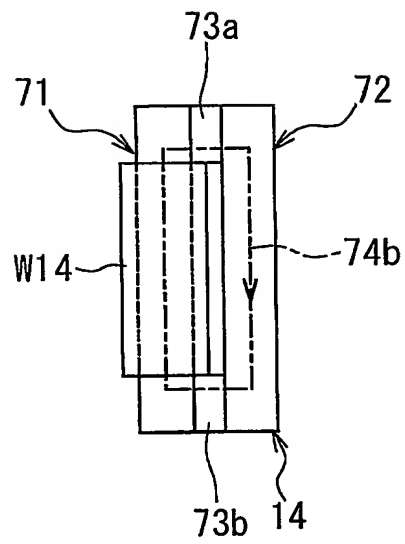
【図 9】



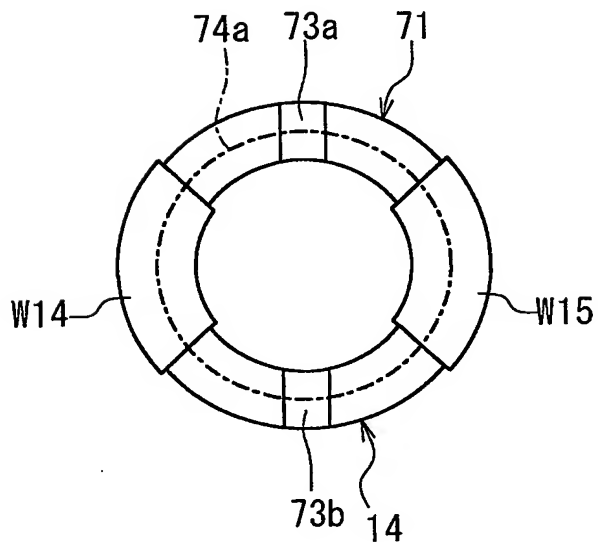
【図 10】



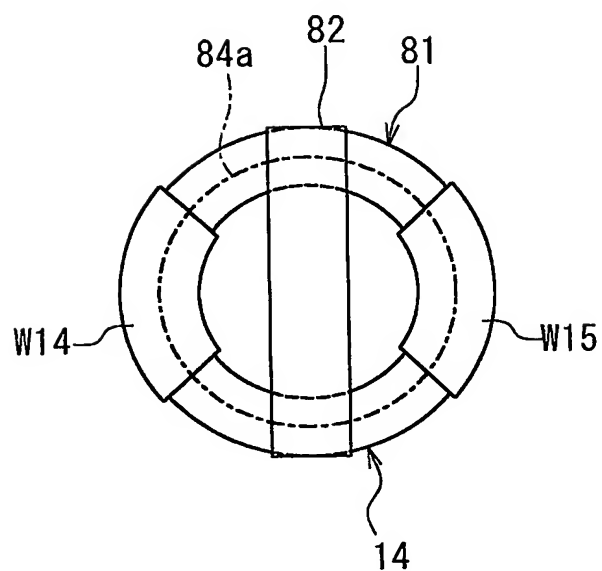
【図 11】



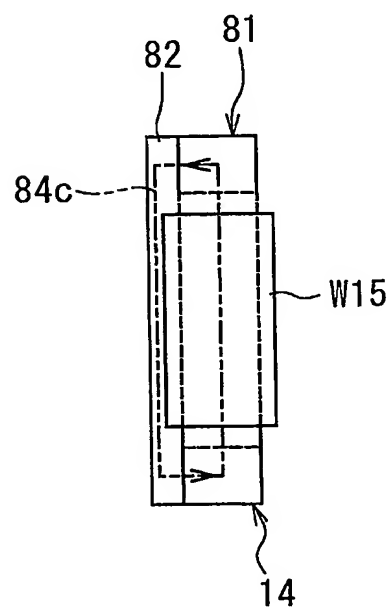
【図 12】



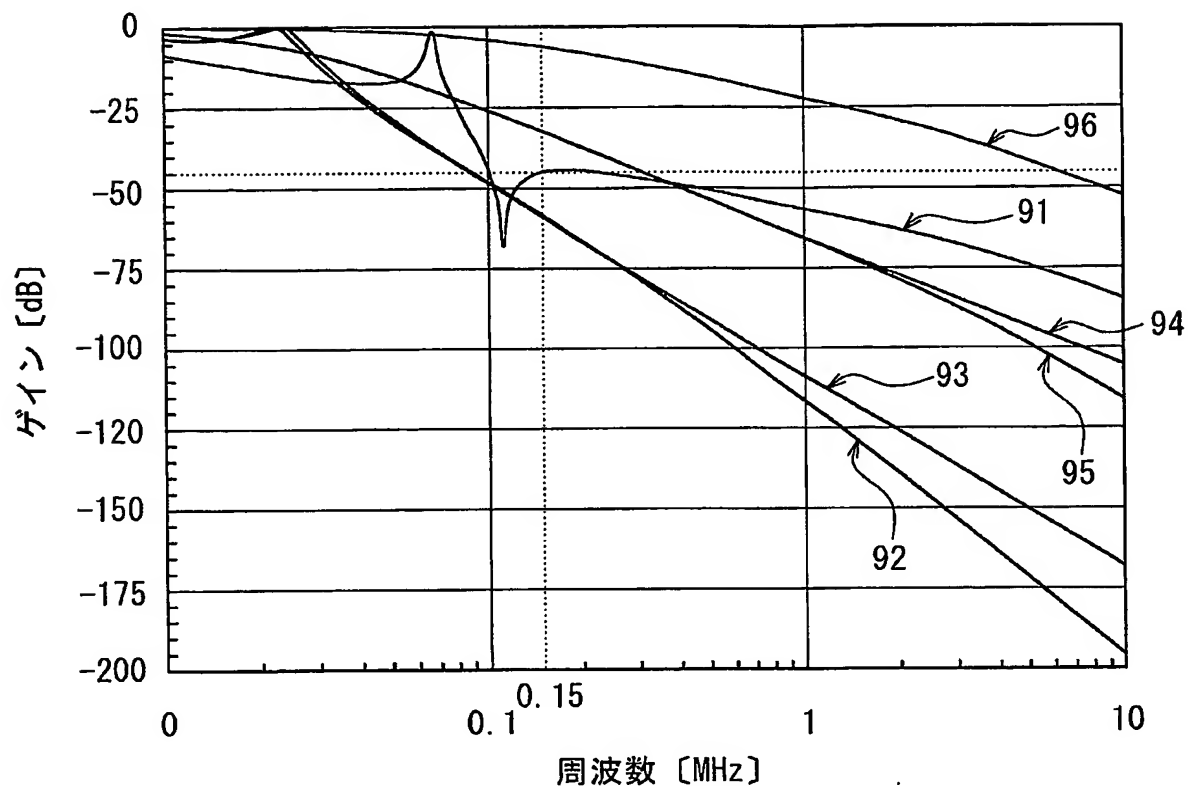
【図 13】



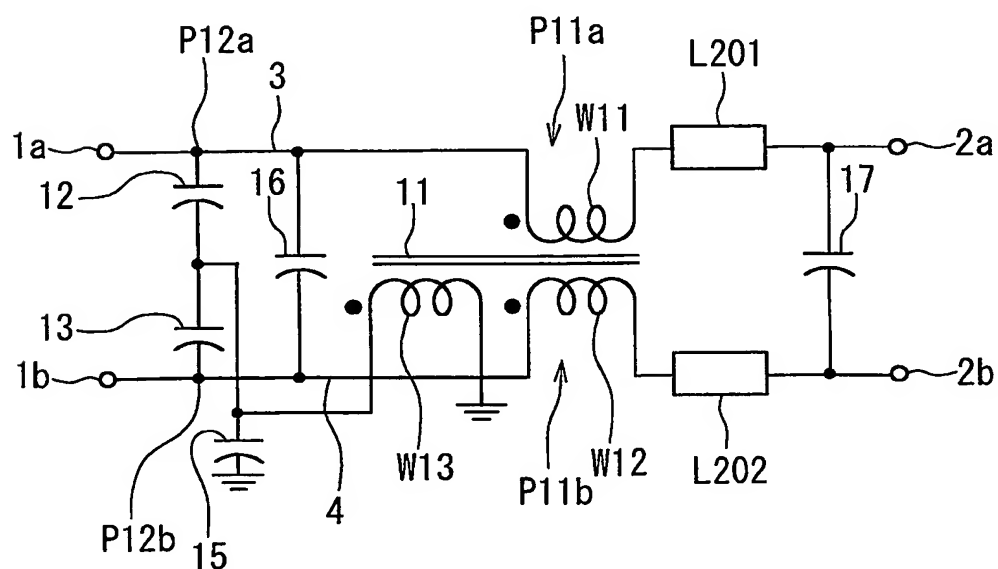
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを抑制でき、且つ小型化が可能なノイズ抑制回路を実現する。

【解決手段】 ノイズ抑制回路は、それぞれ位置 P11a, P11b において導電線 3, 4 に挿入され、磁芯 11 を介して結合された巻線 W11, W12 と、磁芯 11 を介して巻線 W11, W12 に結合された巻線 W13 と、それぞれ一端が位置 P12a, P12b において導電線 3, 4 に接続され、他端が巻線 W13 の一端に接続されたキャパシタ 12, 13 と、それぞれ位置 P13a, P13b において導電線 3, 4 に挿入され、磁芯 14 を介して結合された巻線 W14, W15 とを備えている。これらは、コモンモードノイズを低減する。キャパシタ 16, 17 は、巻線 W14, W15 が発生する漏れインダクタンスと協働して、ノーマルモードノイズを低減する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-058879
受付番号	50300358906
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 3月 6日

<認定情報・付加情報>

【提出日】	平成15年 3月 5日
-------	-------------

次頁無

特願 2003-058879

出願人履歴情報

識別番号

[000003067]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都中央区日本橋1丁目13番1号

氏 名

ティーディーケー株式会社

2. 変更年月日

2003年 6月27日

[変更理由]

名称変更

住 所

東京都中央区日本橋1丁目13番1号

氏 名

TDK株式会社